

IFW

Customer No. 31561
Application No.: 10/707,683
Docket No.11846-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/707,683
Filed : Jan 05, 2004
For : CHIP PACKAGE STRUCTURE AND PROCESS FOR
FABRICATING THE SAME
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith are certified copies of Japan Application No.: JP2003-117506, filed 2003/4/22 and Taiwan Application No.: 92129523, filed 2003/10/24, respectively.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 31, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年 4月22日

出願番号
Application Number: 特願2003-117506

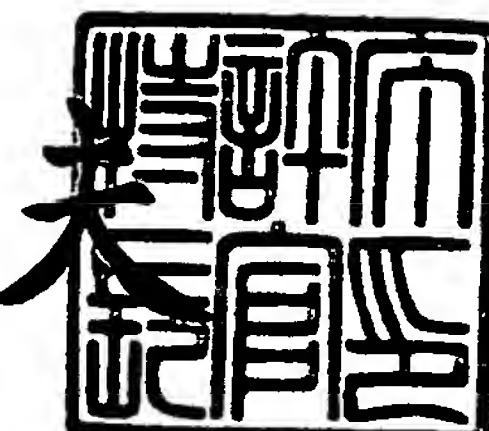
[ST. 10/C]: [JP2003-117506]

願人
Applicant(s): 松下电工株式会社
財团法人工業技術研究院

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 8月13日

今井 康



特許庁長官
Commissioner,
Japan Patent Office

出証番号 出証特2003-3065323

【書類名】 特許願

【整理番号】 03P00778

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/28
H01L 21/56

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内

【氏名】 福井 太郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内

【氏名】 根本 知明

【発明者】

【住所又は居所】 台湾南投縣草屯鎮南埔里3鄰中正路269號

【氏名】 陳 凱▲其▼

【発明者】

【住所又は居所】 台湾基隆市信義區義幸里9鄰中興路66號6樓之1

【氏名】 黃 淑禎

【発明者】

【住所又は居所】 台湾新竹市東區新莊街177號5樓

【氏名】 李 巡天

【発明者】

【住所又は居所】 台湾新竹市東區金山里2鄰金山北二街18號

【氏名】 李 宗銘

【特許出願人】

【識別番号】 000005832

【氏名又は名称】 松下電工株式会社

【特許出願人】

【識別番号】 591066063

【氏名又は名称】 財團法人工業技術研究院

【代理人】

【識別番号】 100087767

【弁理士】

【氏名又は名称】 西川 恵清

【電話番号】 06-6345-7777

【選任した代理人】

【識別番号】 100085604

【弁理士】

【氏名又は名称】 森 厚夫

【手数料の表示】

【予納台帳番号】 053420

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004844

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 インターポーラー上に半導体素子をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子のフリップチップ接合部に形成される間隙及び半導体素子の背面側を同一材料で封止して形成される半導体装置において、半導体素子の背面側に封止される封止材の厚みを半導体素子のフリップチップ接合部の間隙寸法の $1/2$ ~ 2 倍の範囲に設定し、封止材として最大粒径が半導体素子のフリップチップ接合部の間隙寸法の $1/2$ 以下のフィラーを配合したもの用いて成ることを特徴とする半導体装置。

【請求項 2】 半導体素子をフェースダウンで配置すると共にフリップチップ接合したインターポーラーをトランスファー成形金型のキャビティ内にセットし、最大粒径が半導体素子のフリップチップ接合部に形成される間隙の寸法の $1/2$ 以下のフィラーを配合した封止材料を減圧状態のキャビティ内注入することによって、半導体素子のフリップチップ接合部の間隙に封止材を充填すると共に半導体素子の背面側を半導体素子のフリップチップ接合部の間隙寸法の $1/2$ ~ 2 倍の範囲の厚みに封止材で封止することを特徴とする半導体装置の製造方法。

【請求項 3】 封止材を注入する際のキャビティ内の減圧度を 27 hPa 以下に設定することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 トランスファー成形温度を、半導体素子をインターポーラーにフリップチップ接合するバンプ金属の融点より 5°C 以上低い温度に設定することを特徴とする請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 インターポーラー上に複数の半導体素子を搭載し、各半導体素子を一括して封止材で封止した後、隣り合う半導体素子間においてインターポーラーを切断して分割することを特徴とする請求項 2 乃至 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インターポーザーに半導体素子をフリップチップ実装すると共に封止して形成される半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

インターポーザーなどの基板に半導体素子を実装するにあたって、従来では、半導体素子の電極と基板の端子とを金線やアルミニウム細線で接続するいわゆるワイヤボンディング法が主として用いられてきた。しかし、近年、半導体分野の進展に伴い、より高速な信号を効率よく伝達するために、ワイヤボンディング法に代わって、フリップチップ接合法が脚光を浴びている。

【0003】

フリップチップ接合は、例えば図4 (a) に示すF C - C S P (Flip Chip-Chip Scale Package) のように、半導体素子2に半田や金などでバンプ6を形成し、インターポーザー1に半導体素子2をフェースダウンで搭載し、インターポーザー1の端子にこのバンプ6を接合することによって、バンプ6と端子を金属結合によって直接、電気的に接続するようにしたるものである。そしてこの際、半導体素子2の表面を湿度から保護したり、バンプ6を機械的ストレスから保護したりするために、通常、半導体素子2とインターポーザー1との間の微細な間隙を樹脂で埋めるアンダーフィルと呼ばれる封止が行なわれる。このアンダーフィルの形成は、インターポーザー1と半導体素子2の間は15～100 μ m程度の微細な間隙であるので、低粘度液状材料の封止材3aを毛細管現象によって注入させた後、加熱硬化させることによって行なうのが一般的である。11はインターポーザー1に設けた外部接続用の半田ボールである。

【0004】

このようにインターポーザー1に半導体素子2をフリップチップ接合した半導体装置は、従来のワイヤボンディングした半導体装置に比べて、電気的接続の性能に優れるだけでなく、ワイヤボンディングを保護するための厚い封止材の層が不要であり、モバイル端末機の用途に要求の高い薄型パッケージを容易に実現することができるという利点も有する。しかし、インターポーザー1と半導体素子2の間の微細な間隙に低粘度液状材料の封止材3aを毛細管現象で注入させるの

に時間がかかるために、アンダーフィルの生産性に問題があり、また毛細管現象という自然現象に頼るために、バンプパターンやフラックス残りなどの影響を受けて低粘度液状材料の封止材3aの流動性が変化し、ボイドがアンダーフィルに残って信頼性低下につながるおそれがあるという問題がある。さらに半導体素子2は背面側が露出しているので、この部分にマーキングを行なうことができず、また半導体装置をマウントする際のピックアップ性に問題を有する。

【0005】

また、上記のようにインターポーザー1と半導体素子2の間隙に低粘度液状材料の封止材3aでアンダーフィルを形成した後、図4(b)のように、半導体素子2の背面側にも封止材3bをモールド成形して封止することも行なわれている。この場合には、半導体素子2は全面が封止されているので、マーキング性やピックアップ性の問題はなくなるが、アンダーフィル封止の工程とモールド封止の工程の両方が必要となって、生産性が一層低下するという問題があり、またアンダーフィルの封止材3aとモールド封止の封止材3bの間に界面ができるため、界面剥離が発生し易いなど、耐半田性などにおいて新たに問題が生じるおそれがある。

【0006】

そこで、減圧化が可能な成形金型を用い、半導体素子2をフリップチップ接合したインターポーザー1を成形金型のキャビティ内にセットし、減圧状態でキャビティ内に封止材を注入することによって、図4(c)のようにインターポーザー1と半導体素子2の間の間隙に封止材3を充填すると共に半導体素子2の背面側を封止材3で封止するようにした半導体装置が提案されている(特許文献1参照)。

【0007】

【特許文献1】

特開平7-74194号公報

【0008】

【発明が解決しようとする課題】

特許文献1の発明では、減圧状態でモールド成形を行なうことによって、イン

ターポーザー1と半導体素子2の間の微細な間隙に封止材3を充填することが可能になり、インターポーザー1と半導体素子2の間隙と半導体素子2の背面側とを同一の封止材3で同時に封止することができるものである。従ってこのものは封止材3に界面が存在せず、界面剥離が発生することがなくなって、耐半田性などの信頼性を高く得ることができるものである。

【0009】

しかし、このように半導体素子2の背面側を封止材3で封止すると、この封止材3の厚みTで半導体装置の全体としての厚みが厚くなり、インターポーザー1に半導体素子2をフェースダウンでフリップチップ接合して形成される半導体装置の薄型という特長が損なわれてしまうという問題を有するものであった。

【0010】

本発明は上記の点に鑑みてなされたものであり、薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、未充填なく封止した半導体装置及びその製造方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

本発明の請求項1に係る半導体装置は、インターポーザー1上に半導体素子2をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子2のフリップチップ接合部に形成される間隙及び半導体素子2の背面側を同一材料で封止して形成される半導体装置において、半導体素子2の背面側に封止される封止材3の厚みを半導体素子2のフリップチップ接合部の間隙寸法の1/2～2倍の範囲に設定し、封止材3として最大粒径が半導体素子2のフリップチップ接合部の間隙寸法の1/2以下のフィラーを配合したものを用いて成ることを特徴とするものである。

【0012】

本発明の請求項2に係る半導体装置の製造方法は、半導体素子2をフェースダウンで配置すると共にフリップチップ接合したインターポーザー1をトランスマスク成形金型4のキャビティ5内にセットし、最大粒径が半導体素子2のフリッ

プチップ接合部に形成される間隙の寸法の1/2以下のフィラーを配合した封止材料を減圧状態のキャビティ5内に注入することによって、半導体素子2のフリップチップ接合部の間隙に封止材3を充填すると共に半導体素子2の背面側を半導体素子2のフリップチップ接合部の間隙寸法の1/2～2倍の範囲の厚みに封止材3で封止することを特徴とするものである。

【0013】

また請求項3の発明は、請求項2において、封止材3を注入する際のキャビティ5内の減圧度を27hPa以下に設定することを特徴とするものである。

【0014】

また請求項4の発明は、請求項2又は3において、トランスファー成形温度を、半導体素子2をインターポーザー1にフリップチップ接合するバンプ6の金属の融点より5℃以上低い温度に設定することを特徴とするものである。

【0015】

また請求項5の発明は、請求項2乃至4のいずれかにおいて、インターポーザー1上に複数の半導体素子2を搭載し、各半導体素子2を一括して封止材3で封止した後、隣り合う半導体素子2間においてインターポーザー1を切断して分割することを特徴とするものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を説明する。

【0017】

インターポーザー1としては、有機基板、セラミック基板、フレキシブル基板等や、これらと金属基板を組み合わせたものなどを例示することができるが、インターポーザー1として通常使用できるものであれば、何でもよい。

【0018】

また半導体素子2としては、シリコンベアチップなどの任意の半導体ベアチップを用いることができるものであり、その片側の回路形成面に半田や金などの金属材料でバンプ6が設けてある。

【0019】

そして、インターポーザー1の上に半導体素子2を回路形成面がインターポーザー1の側を向くフェースダウンで配置し、半導体素子2をバンプ6でフリップチップ接合することによって、インターポーザー1の上に搭載するようにしてある。

【0020】

ここで、図1 (a) のように、半導体素子2を単体で用い、インターポーザー1に直接、半導体素子2をフェースダウンでフリップチップ接合するようにすることができるが、図1 (b) (c) のように他の受動部品12も同時に搭載されたいわゆるモジュールとして用いるようにしてもよい。図1 (b) の実施の形態では、インターポーザー1の上に受動部品12を介して半導体素子2がフェースダウンでフリップチップ接合しており、受動部品12を金線等のワイヤー13でインターポーザー1に接続することによって、半導体素子2を受動部品12を介してインターポーザー1に電気的に接続するようにしてある。また図1 (c) の実施の形態では、半導体素子2の上に受動部品12を搭載すると共に受動部品12の上に半導体素子2がフェースダウンでフリップチップ接合して上下二つの半導体素子2を有するモジュールとして用いるようにしてあり、下側の半導体素子2はインターポーザー1にフェースダウンで直接フリップチップ接合してある。受動部品12はワイヤー13でインターポーザー1に接続しており、上側の半導体素子2は受動部品12を介してインターポーザー1に電気的に接続するようにしてある。このように、半導体素子2をインターポーザー1に直接的にフェースダウンでフリップチップ接合するようにしてもよく、あるいは半導体素子2を受動部品12などを介して間接的にフェースダウンでフリップチップ接合するようにしてもよいものであり、要するに本発明では、少なくとも一つの半導体素子2がフェースダウンでフリップチップ接合されることによって、インターポーザー1に搭載されればよいものである。

【0021】

上記のようにフェースダウンでフリップチップ接合した半導体素子2の回路形成面には、フリップチップ接合部においてバンプ6の厚みにほぼ相当する空隙が間隙として形成されている。そして本発明において、半導体素子2のフリップチ

ップ接合部の間隙に封止材3を充填してアンダーフィル封止すると共に、同じ封止材3で半導体素子2の背面や側面をモールド封止することによって、図1のような半導体装置Aを作製するようにしてあり、半導体素子2の背面側に封止される封止材3の厚みTは、半導体素子2のフリップチップ接合部に形成される間隙の寸法（間隙の厚み）Lの1/2～2倍の範囲に設定してある（ $L \times 1/2 \leq T \leq L \times 2$ ）。尚、図1(c)のように半導体素子2を複数段重ねた場合、背面側の封止材3の厚みTとフリップチップ接合部の間隙寸法Lの関係が問題になる半導体素子2は、上段の半導体素子2である。また図1にはインターポーザー1の背面に半田ボール11を設けたものを示したが、ランドにより接続されるタイプなど、他の接続方式で外部接続されるものであってもよい。さらに図1はCSPタイプのものを示しているが、端部まで封止材3で封止されていないBGA (Ball Grid Array) のタイプのものであってもよい。

【0022】

このように半導体素子2の背面側の封止材3の厚みTをフリップチップ接合部の間隙寸法Lの1/2～2倍の範囲に設定することによって、半導体素子2の背面側の封止材3の厚みTを十分に薄くすることができるものであり、封止材3の厚みで半導体装置Aの全体としての厚みが厚くなるようなことはないものである。従って、インターポーザー1に半導体素子2をフェースダウンでフリップチップ接合して形成される半導体装置Aの、薄型という特長が損なわれることを防ぐことができるものである。

【0023】

次に、半導体素子2のフリップチップ接合部の間隙及び半導体素子2の背面側を封止成形する方法について説明する。図2はトランスマスター成形金型4を示すものであり、上下一対の型板15, 16から形成してある。上型板15の下面と下型板16の上面にはそれぞれキャビティ5を形成する凹部が設けてあり、このキャビティ5にゲート17を介してランナー18が接続してある。またキャビティのゲート17と反対側には真空ポンプ（図示省略）に連結される吸引路19が接続してある。さらに、これらのキャビティ5、ランナー18、吸引路19を囲むように型板15, 16の間にパッキン20を設け、成形金型4の型板15, 1

6を型締めしたときにキャビティ5からの空気漏れがパッキン20で防止できるようにしてある。

【0024】

そしてまず、半導体素子2をフェースダウンで配置すると共にバンプ6でフリップチップ接合し、インターポーザー1の上に半導体素子2を搭載する。次に、成形金型4を開いて、搭載した半導体素子2が上になるようにインターポーザー1を下型板16のキャビティ5にセットした後、下型板16の上に上型板15を閉じる。そして、上下の型板15, 16間がパッキン20で密閉され、且つ上下の型板15, 16のクランプが行なわれない状態で、真空ポンプを作動させて吸引路19を通してキャビティ5内の脱気を行なうと同時に、成形金型4のポット(図示省略)に封止材料のタブレットを投入してポット内の空気漏れを防ぎ、1~5秒保持して真空中度を高めた後、上下の型板15, 16をクランプし、ポットのプランジャー(図示省略)を作動させて、ランナー18からゲート17を介して溶融した封止材料を上型板15のキャビティ5内に注入する。

【0025】

ここで、上下の型板15, 16をクランプして成形金型4を型締めした状態で、キャビティ5内にセットしたインターポーザー1に搭載されている半導体素子2の背面とキャビティ5の対向する内面との間の隙間寸法Sは、この半導体素子2のフリップチップ接合部の間隙寸法Lの1/2~2倍の範囲に設定してある($L \times 1/2 \leq S \leq L \times 2$)。

【0026】

また、封止材料としては、トランスファー成形による半導体封止に適用可能なもの用いることができるものであり、例えばエポキシ樹脂組成物、シリコーン樹脂組成物、不飽和ポリエステル樹脂組成物などを使用することができる。封止材料には一般にシリカなどのフィラーを配合したものが使用されるが、このフィラーとしては、最大粒径が半導体素子2のフリップチップ接合部の間隙寸法Lの1/2以下であるものを用いるのが好ましい。フィラーの最大粒径の下限値は特に設定されないが、微細過ぎると粘度上昇を起こし、封止成形の際の流動性が悪くなつて充填不足を起こすおそれがあるので、1μm程度以上であることが好ま

しい。

【0027】

上記のようにキャビティ5内を減圧状態にして、封止材料を上型板15のキャビティ5内に注入すると、成形材料はイ矢印のように半導体素子2のフリップチップ接合部の間隙に流入すると共に、ロ矢印のように半導体素子2の背面とキャビティ5の内面との隙間に流入し、半導体素子2のフリップチップ接合部の間隙に封止材3を充填してアンダーフィル封止すると同時に、同じ封止材3で半導体素子2の背面や側面をモールド封止することができるものであり、半導体素子2のフリップチップ接合部の間隙の部分及び半導体素子2の背面や側面を境界面のない封止材3で封止した、既述の図1のような半導体装置Aを作製することができるものである。そしてこのものにあって、半導体素子2の背面側に封止される封止材3の厚みTは、半導体素子2の背面とキャビティ5の内面の隙間寸法S、すなわち半導体素子2のフリップチップ接合部の間隙寸法Lの1/2~2倍の範囲に設定されるものである。

【0028】

このとき、キャビティ5内は減圧されているため、半導体素子2のフリップチップ接合部の微小な間隙や、半導体素子2の背面とキャビティ5の内面との間の微小な隙間に、空気溜りなどが生じることなく封止材料を良好に流入させることができ、充填不良が発生することなく、短時間で封止材料を充填して封止材3による封止を行なうことができるものである。

【0029】

通常、半田バンプ6を用いた半導体素子2のフリップチップ接合の間隙寸法Lは50~90μm程度であり、例えば間隙寸法L=80μmの場合、半導体素子2の背面にオーバーコートして成形される封止材3の厚みTは40~160μmである。また金バンプ6を用いた半導体素子2のフリップチップ接合の間隙寸法Lは10~40μm程度が一般的であるが、例えば間隙寸法L=20μmの場合、半導体素子2の背面にオーバーコートして成形される封止材3の厚みTは10~40μmである。このような微小な隙間に封止材料を充填して微小な厚みで封止材3を成形する場合、通常の常圧でのトランスマスター封止成形では未充填となり

、微小な厚みで封止材3を成形することは不可能である。従って本発明では減圧状態でトランスファー封止成形を行なうものであり、キャビティ5内の減圧度を27hPa(20Torr)以下に設定するのが好ましく、より好ましくは13hPa(10Torr)以下に設定するのがよい。キャビティ5内の減圧度は低いほど好ましく、0Paであることが理想的である。

【0030】

ここで、半導体素子2の背面とキャビティ5の内面との隙間寸法Sが半導体素子2のフリップチップ接合部の間隙寸法Lの1/2未満であると、溶融した封止材料のキャビティ5内での流れは、半導体素子2のフリップチップ接合部の隙間に流入するイ矢印の流れが先に進行し、半導体素子2の背面とキャビティ5の内面との隙間の周囲が封止材料で囲まれて未充填が生じ易くなり、半導体素子2の背面に封止不良が発生するおそれがある。逆に半導体素子2の背面とキャビティ5の内面との隙間寸法Sが半導体素子2のフリップチップ接合部の間隙寸法Lの2倍を超えると、溶融した封止材料のキャビティ5内での流れは、半導体素子2の背面とキャビティ5の内面との隙間に流入するロ矢印の流れが先に進行し、半導体素子2のフリップチップ接合部の隙間の周囲が封止材料で囲まれて未充填が生じ易くなり、半導体素子2のフリップチップ接合部の隙間に封止不良が発生するおそれがある。また本発明の本来の目的である半導体装置の薄型化が損なわれることにもなる。

【0031】

また、封止材料に配合されるフィラーが、その最大粒径が半導体素子2のフリップチップ接合部の間隙寸法Lの1/2を超えるものであると、半導体素子2のフリップチップ接合部の微小な隙間や、半導体素子2の背面とキャビティ5の内面の微小な隙間に封止材料が流入し難くなり、半導体素子2のフリップチップ接合部の隙間や、半導体素子2の背面とキャビティ5の内面の隙間に未充填が生じ、封止不良が発生するおそれがある。このため、封止材料に配合されるフィラーとして、最大粒径が半導体素子2のフリップチップ接合部の間隙寸法Lの1/2以下であるものを用いるのが好ましいのである。

【0032】

さらに、上記のようにトランスマルチ封止成形を行なうにあたって、成形温度すなわち成形金型4の温度は、半導体素子2に設けたバンプ6を構成する金属の融点から5°C低い温度（融点-5°C）よりも低い温度であることが好ましく、融点から10°C低い温度よりも低い温度であることがより好ましい。成形温度がこの温度を超えて高いと、インターポーラー1に半導体素子2をフリップチップ接合しているバンプ6の強度が弱くなり、トランスマルチ成形時の溶融封止材料の注入圧力に対してフリップチップ接合が外れ、半導体素子2の脱落やフリップチップ接合不良などのトラブルを生じ易くなるものである。成形温度の下限は特に設定されるものではないが、封止材料を硬化させる温度よりも高い温度である必要はある。

【0033】

図3は本発明の他の実施の形態を示すものであり、インターポーラー1の上に複数の半導体素子2をマトリクスアレイ状に配置し、各半導体素子2をフェースダウンでフリップチップ接合して搭載してある。そしてこの複数の半導体素子2を搭載したインターポーラー1を上記と同様にしてトランスマルチ成形金型4のキャビティ5にセットし、減圧状態でキャビティ5内に封止材料を注入するトランスマルチ封止成形を行なうことによって、図3（a）のように、各半導体素子2のフリップチップ接合部の間隙の部分及び各半導体素子2の背面や側面を封止材3で一括して封止する。このように各半導体素子2を封止した後、成形金型4から取り出し、隣り合う半導体素子2の間の箇所でインターポーラー1及び封止材3をダイシング工程で切断することによって（切断箇所を図3（a）に鎖線で示す）、各半導体素子2を搭載した部分を分割して個片化し、図3（b）のような半導体装置Aを得ることができるものである。

【0034】

このようにして、インターポーラー1上の複数の半導体素子2を一括して封止成形した後、切断して切り離すことによって、多数の半導体装置Aを同時に製造することができるものであり、高い生産性で多数の半導体装置Aを製造することができるものである。また半導体装置Aの品種変更やサイズ変更をする場合、封止成形する成形金型4を特に変更することなく、インターポーラー1上の半導体

素子2の配置や、切断位置を変更することによって対処することができるものであり、半導体装置Aの設計変更にフレキシブルに対応することができるものである。

【0035】

【実施例】

次に、本発明を実施例によって具体的に説明する。

【0036】

（実施例1）

0. 25 mmピッチで120個の共晶半田バンプ（融点183℃）を周辺部に設けた、8 mm×8 mm×厚さ0.3 mmの半導体素子を用いた。またインターポーザーとして50 mm×50 mm×厚さ0.2 mmのFR-5タイプのエポキシ樹脂プリント配線板を用いた。そしてこのインターポーザーの片面に4列×4列のマトリクスアレイ配置で半導体素子をフリップチップ接合し、フェースダウンで搭載した。このインターポーザーは、後記のように個片化することによって10.5 mm×10.5 mmのパッケージとなるように設計した回路形成がある。また半導体素子とインターポーザーの間のフリップチップ接合部の間隙寸法は70～75 μ mであった。

【0037】

次に、この半導体素子を搭載したインターポーザーを成形金型にセットしてクランプした。この成形金型として、封止材料を注入する注入空間の寸法が4.5 mm×4.5 mm×0.5 mmのキャビティを形成したものを用いた。そしてキャビティ内を真空ポンプで引いて減圧した状態で、表1に示す配合の封止材料を6.9 MPa (70 kgf/cm²) の成形圧で3分間トランスファー成形することによって、図3 (a) のように各半導体素子を封止材で一括して封止した。これを成形金型から取り出して、175℃で5時間アフターキュア処理を行なった後、ダイシングカットして個片化を行なうことによって、図3 (b) の構成のフリップチップタイプCSPパッケージの半導体装置を得た。

【0038】

ここで、トランスファー成形は、成形温度170℃、キャビティの減圧度1.

3 hPa (1 Torr) で行ない、封止材料のフィラーとして、平均粒径 5 μm 、最大粒径 21 μm のシリカを用いた。そして、封止成形して得られた半導体装置を切断して、半導体素子の背面にオーバーコートして封止された封止材の厚みを測定したところ、130 μm であり、フリップチップ接合部の間隙寸法の 1.8 倍であった。

【0039】

【表1】

		(質量部)
ビフェニル型エポキシ樹脂		97.2
フェノールノボラック樹脂		52.4
トリフェニルホスフィン		1.5
シリコーンパウダー		20
球状溶融シリカ	平均粒径 5 μm 最大粒径 21 μm	820
アーチリシドキシプロビルト リメトキシシラン		4.9
天然カルナバワックス		2
カーボンブラック		2

【0040】

【表2】

	実施例1, 6, 7 比較例1, 5	実施例2	実施例3	実施例4	実施例5	比較例2	比較例3	比較例4
成形温度	170°C	—	—	160°C	180°C	170°C	—	—
減圧度	1.3hPa (1Torr)	20hPa (15Torr)	107hPa (80Torr)	1.3hPa (1Torr)	—	常圧	1.3hPa (1Torr)	—
フィラー種類 (シリカ)	A	—	—	—	—	—	B	C

フィラーA：平均粒径 5 μm 、最大粒径 21 μm

フィラーB：平均粒径 13 μm 、最大粒径 40 μm

フィラーC：平均粒径 13 μm 、最大粒径 74 μm

【0041】

【表3】

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7
オーバーコート封止材厚み (μm)	1.30	1.30	1.30	1.30	1.30	5.0	1.20
指數 (*1)	1.8	1.8	1.8	1.8	1.8	0.7	1.5

	比較例1	比較例2	比較例3	比較例4	比較例5	比較例6
オーバーコート封止材厚み (μm)	1.30	1.30	1.30	1.30	3.0	2.80
指數 (*1)	1.8	1.8	1.8	1.8	0.4	3.9

*1：(オーバーコート封止材厚み) / (半導体素子のフリップチップ接合部の間隙距離)

【0042】

(実施例2、実施例3)

キャビティの減圧度を表2のように設定して、トランスマスター成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0043】

(実施例4、実施例5)

成形温度を表2のように設定して、トランスマスター成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0044】

(実施例6)

封止材料を注入する注入空間の寸法が4.5mm×4.5mm×0.42mmのキャビティを形成した成形金型を用いてトランスマスター成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0045】

(実施例7)

0.25mmピッチで800個の共晶半田バンプ(融点183℃)をアレイ状に設けた、8mm×8mm×厚さ0.2mmの半導体素子を用いた。またインタ

一ポーラーとして35mm×35mm×厚さ0.4mmのFR-5タイプのエポキシ樹脂プリント配線板を用いた。そしてこのインターポーラーに半導体素子をフリップチップ接合し、フェースダウンで搭載した。半導体素子とインターポーラーの間のフリップチップ接合部の間隙寸法は80～85μmであった。

【0046】

あとは、封止材料を注入する注入空間の寸法が27mm×27mm×0.4mmのキャビティを形成した成形金型を用い、実施例1と同様にしてトランスファー成形を行なうことによって、図1（a）の構成のフリップチップタイプBGAパッケージの半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0047】

（比較例1）

実施例1と同様にしてインターポーラーに半導体素子を搭載した。そしてまず、浸入型アンダーフィル封止材料（松下電工株式会社製「CV5183F」）を各半導体素子のフリップチップ接合部の間隙に注入し、100℃、1時間の条件で硬化させた。

【0048】

このようにアンダーフィル封止をした後、半導体素子を搭載したインターポーラーを実施例1と同じ成形金型にセットし、実施例1と同様にしてトランスファー成形を行ない、図4（b）の構成の半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0049】

（比較例2）

キャビティの減圧を行なわないで、トランスファー成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0050】

（比較例3、比較例4）

最大粒径が表2のように大きいフィラーを配合した封止材料を用いて、トラン

スファー成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0051】

(比較例5)

封止材料を注入する注入空間の寸法が4.5mm×4.5mm×0.4mmのキャビティを形成した成形金型を用いてトランスマルチ成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0052】

(比較例6)

封止材料を注入する注入空間の寸法が4.5mm×4.5mm×0.65mmのキャビティを形成した成形金型を用いてトランスマルチ成形を行なうようにした他は、実施例1と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表3に示す。

【0053】

上記の実施例1～7及び比較例1～6で得た半導体装置について、パッケージ厚、アンダーフィル部充填性、オーバーコート部充填性、耐半田性、温度サイクル信頼性、PCT信頼性を測定した。

【0054】

ここで、パッケージ厚は、トランスポーザーと封止部の厚みの合計厚である。オーバーコート部充填性は、半導体素子の背面側の面積に対して封止材が充填されている面積割合を目視で測定し、充填率として算出して評価した。またアンダーフィル部充填性は、トランスポーザーを剥がして、半導体素子の接合側の面積に対して封止材が充填されている面積割合を目視で測定し、充填率として算出して評価した。耐半田性は試料数11個で試験を行ない、JEDEC (Joint Electron Device Engineering Council) が定めるレベル2をクリアするとき「○」、レベル3をクリアするとき「○」、レベル3をクリアできないとき「×」と評価した。温度サイクル信頼性は、-65℃で15分間、室温で5分間、150℃

で15分間を1サイクルとして、11個の試料について寒熱サイクル試験を2000サイクルまで行ない、不良発生までのサイクル回数をカウントして評価した。PCT信頼性は、121°C、2気圧でプレッシャクッカーテストを行ない、不良発生までの時間を測定して評価した。これらの結果を表4に示す。

【0055】

【表4】

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7
パッケージ厚(mm)	0.7	0.7	0.7	0.7	0.7	0.62	0.8
アンダーフィル部充填性	100%	99%	97%	100%	100%	100%	100%
オーバーコート部充填性	100%	95%	90%	100%	100%	100%	100%
耐半田性	◎	○	○	◎	◎	◎	◎
温度サイクル信頼性	2000サイクル						
PCT信頼性	>500時間						
その他					*2		

*2：成形総数32パッケージ中、2パッケージで半導体素子浮き発生／残りの良品で評価実施

	比較例1	比較例2	比較例3	比較例4	比較例5	比較例6
パッケージ厚(mm)	0.7	0.7	0.7	0.7	0.6	0.85
アンダーフィル部充填性	100%	15%	40%	30%	100%	100%
オーバーコート部充填性	100%	40%	70%	50%	60%	100%
耐半田性	○	×	×	×	◎	◎
温度サイクル信頼性	500サイクル	—	—	—	2000サイクル	2000サイクル
PCT信頼性	168時間	—	—	—	>500時間	>500時間

【0056】

【発明の効果】

上記のように本発明の請求項1に係る半導体装置は、半導体素子のフリップチップ接合部の間隙の他に、半導体素子の背面側を薄い厚みの封止材で未充填なく封止されており、フリップチップ接合における薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、界面なく封止された半導体装置を得ることができるものである。

【0057】

本発明の請求項2に係る半導体装置の製造方法は、半導体素子のフリップチップ接合部の微小な間隙や、半導体素子の背面側の微小な隙間に未充填なく封止材料を充填して成形することができ、フリップチップ接合における薄型の特長を保

持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、界面のない封止を行なった半導体装置を製造することができるものである。

【0058】

また請求項3の発明によって、半導体素子のフリップチップ接合部の微小な間隙や、半導体素子の背面側の微小な隙間に、未充填なく封止材料を充填して成形することができるものである。

【0059】

また請求項4の発明によって、フリップチップ接合しているバンプの強度を低下させないで成形を行なうことができ、トランスマルチ成形時の溶融封止材料の注入圧力でフリップチップ接合が外れるようなことを防止することができるものである。

【0060】

また請求項5の発明によって、多数の半導体装置を同時に製造することができるものであり、高い生産性で製造を行なうことができるものである。

【図面の簡単な説明】

【図1】

本発明の実施の形態を示すものであり、(a), (b), (c) はそれぞれ断面図である。

【図2】

同上のトランスマルチ成形を示す断面図である。

【図3】

同上の他の実施の形態を示すものであり、(a), (b) はそれぞれ断面図である。

【図4】

従来例を示すものであり、(a), (b), (c) はそれぞれ断面図である。

【符号の説明】

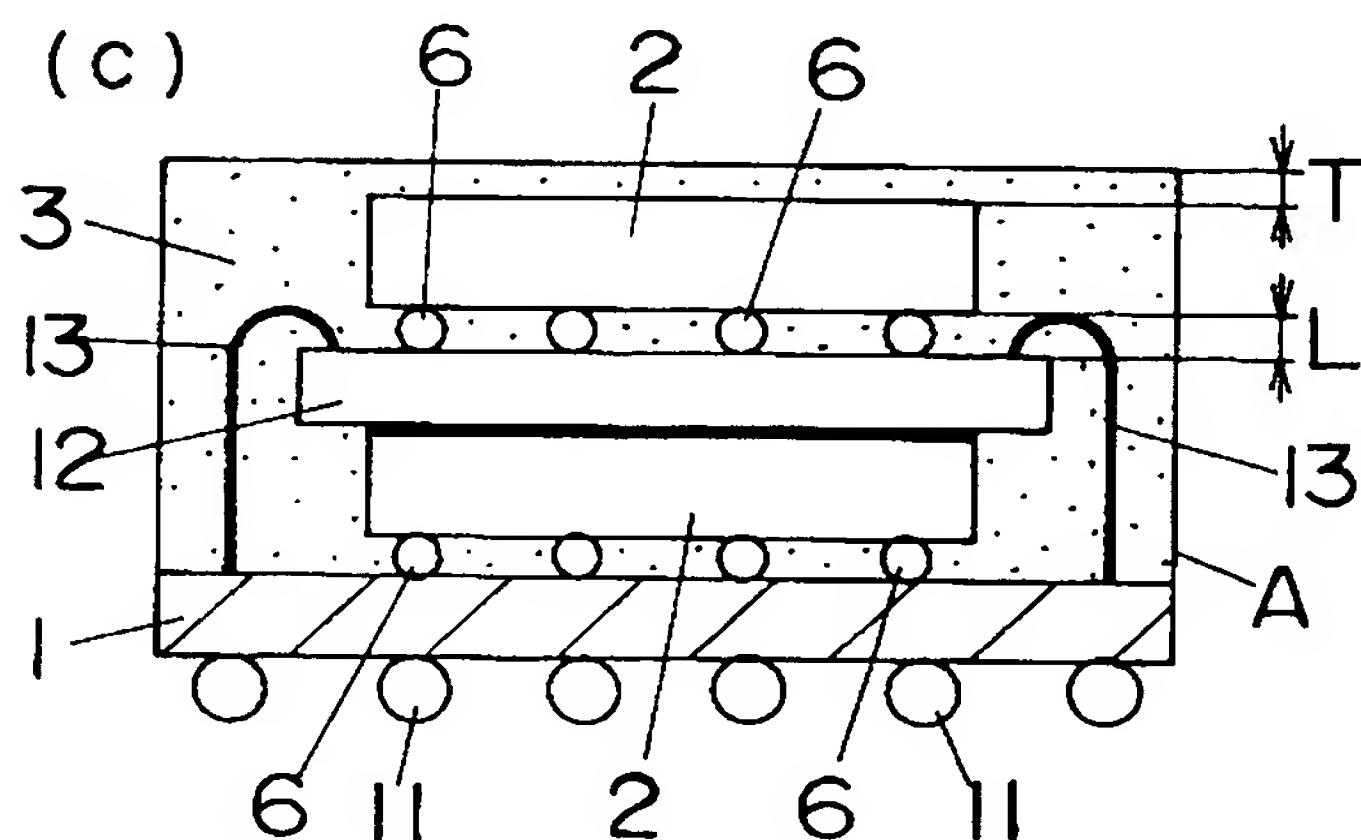
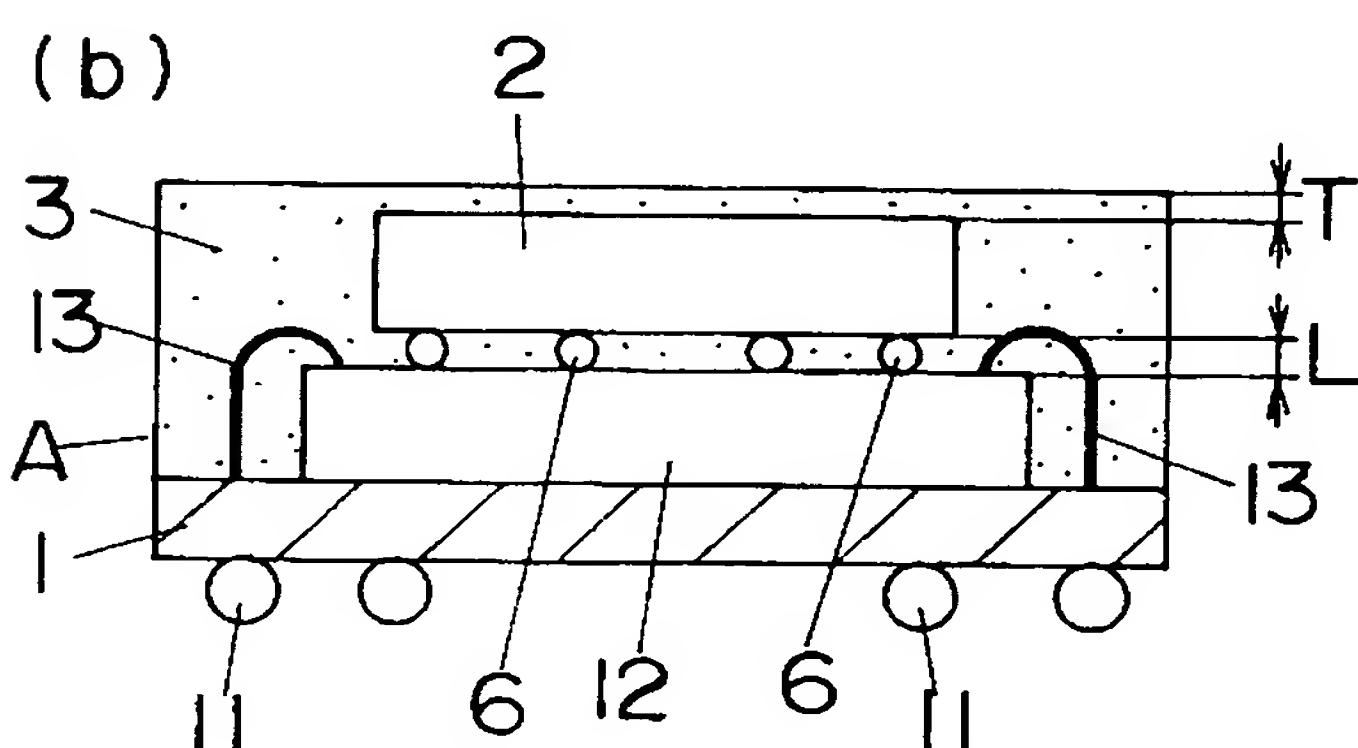
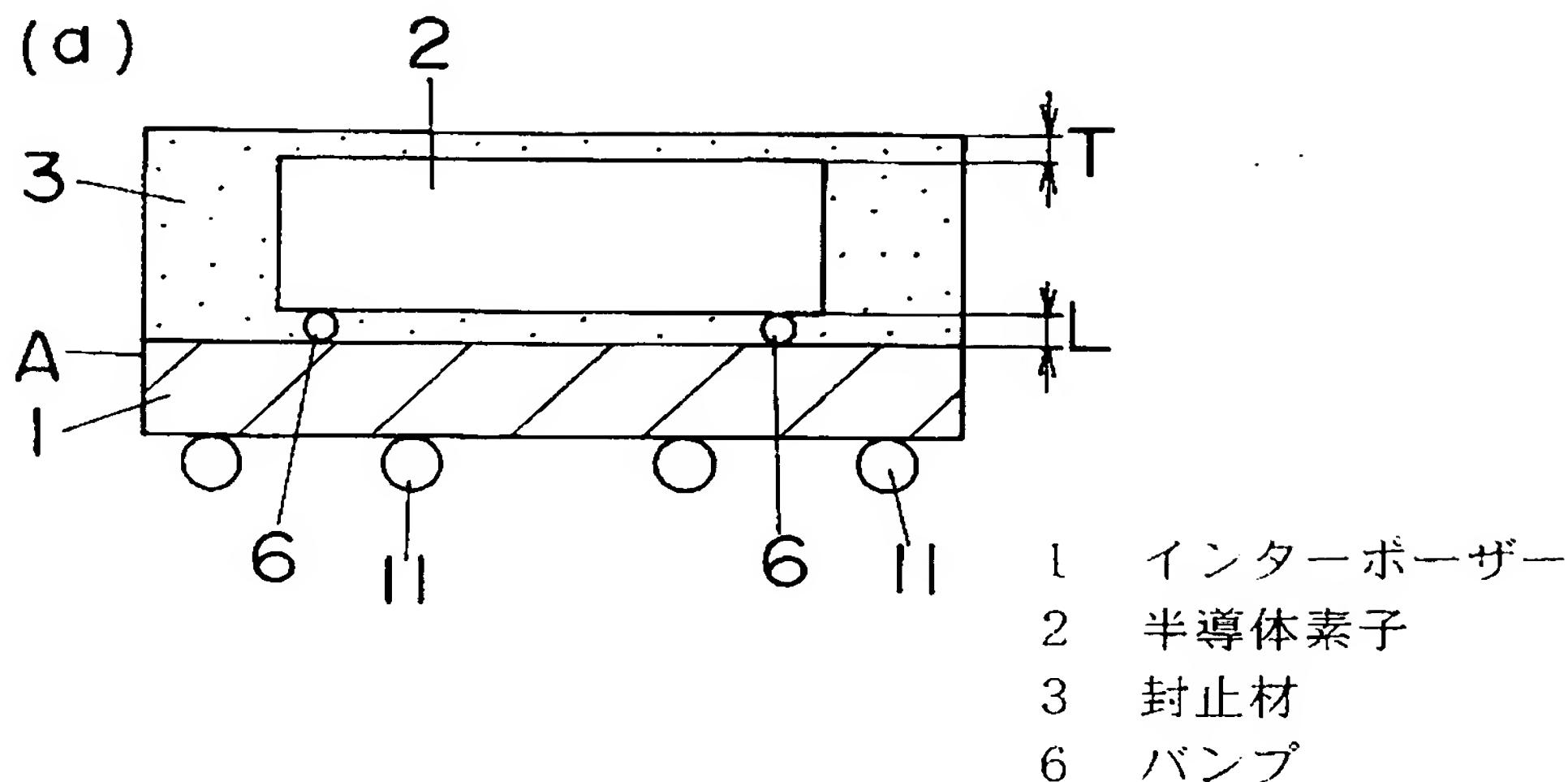
1 インターポーザー

2 半導体素子

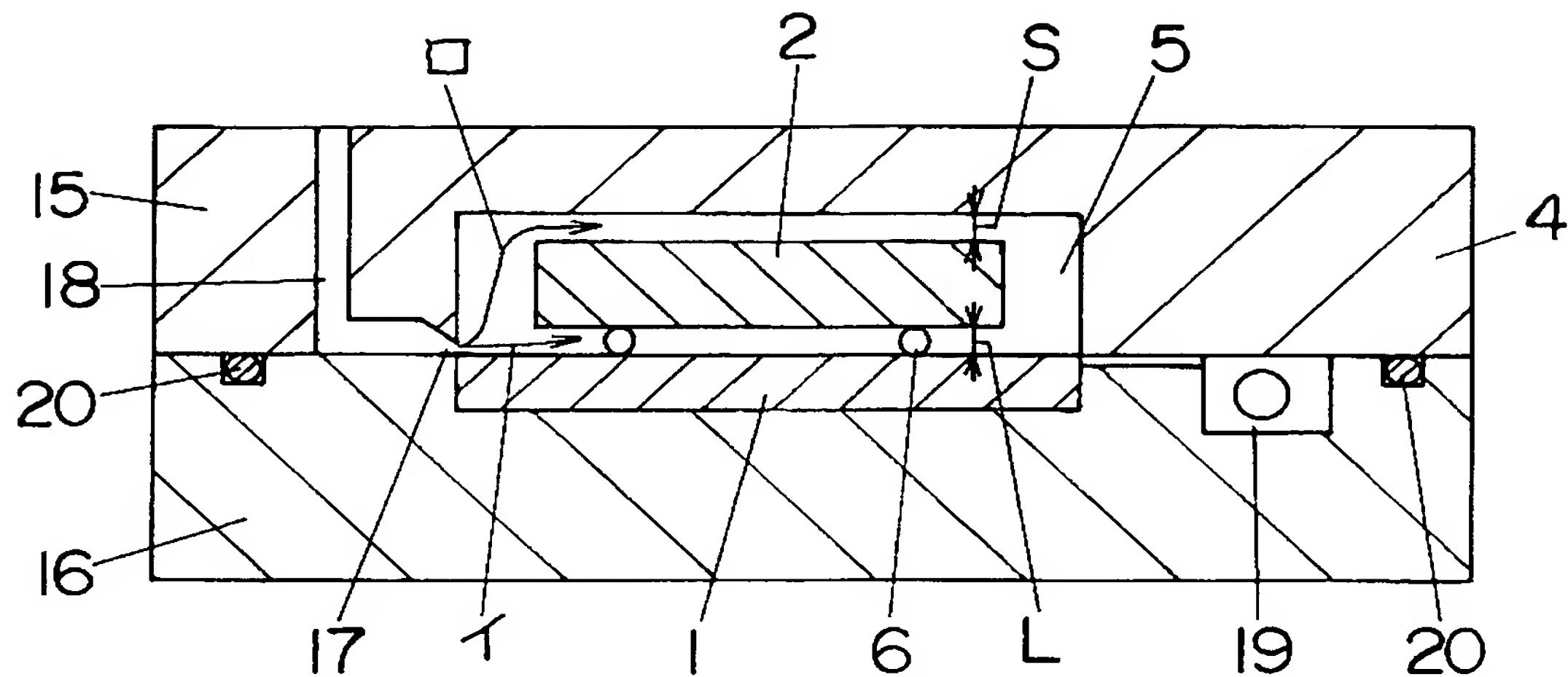
- 3 封止材
- 4 成形金型
- 5 キャビティ
- 6 バンプ

【書類名】 図面

【図 1】

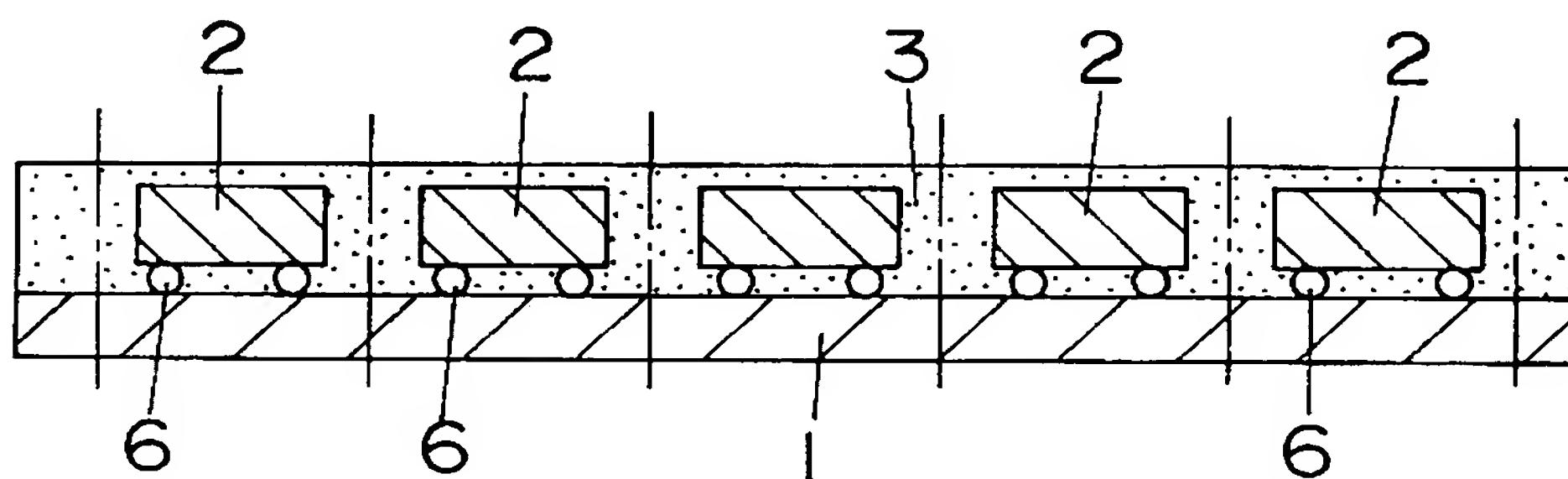


【図2】

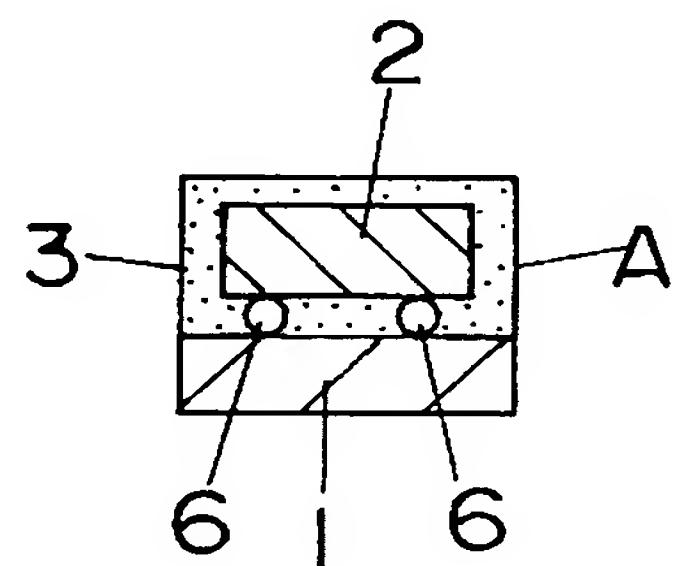


【図3】

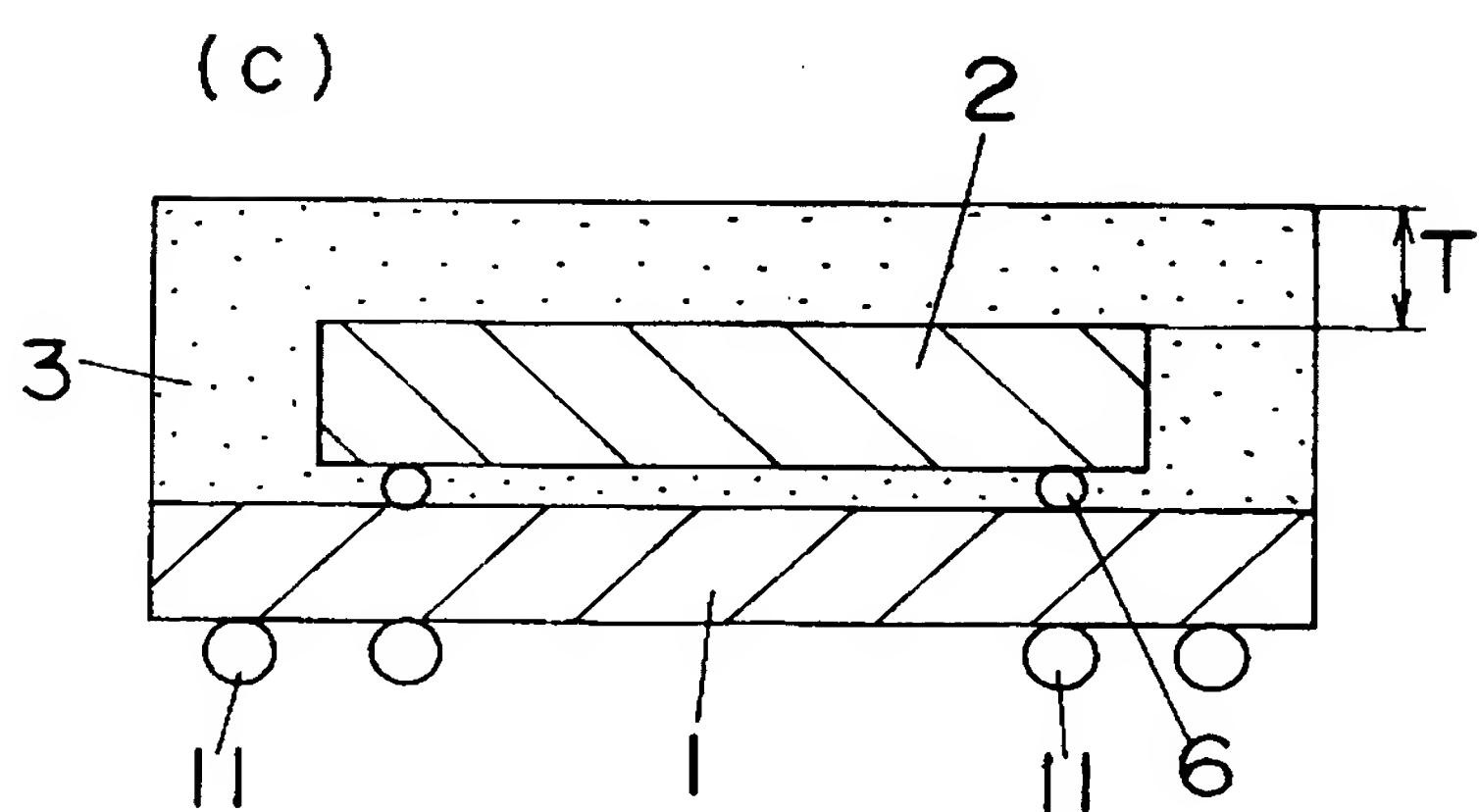
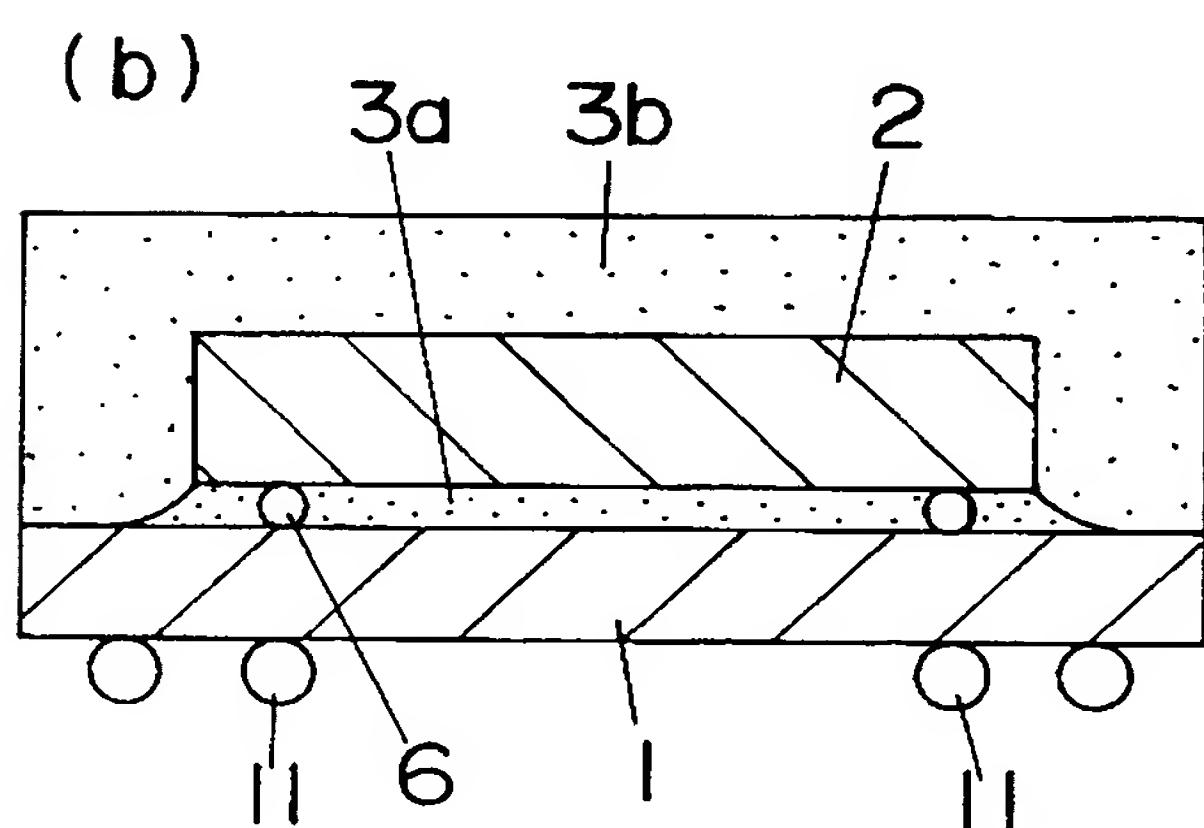
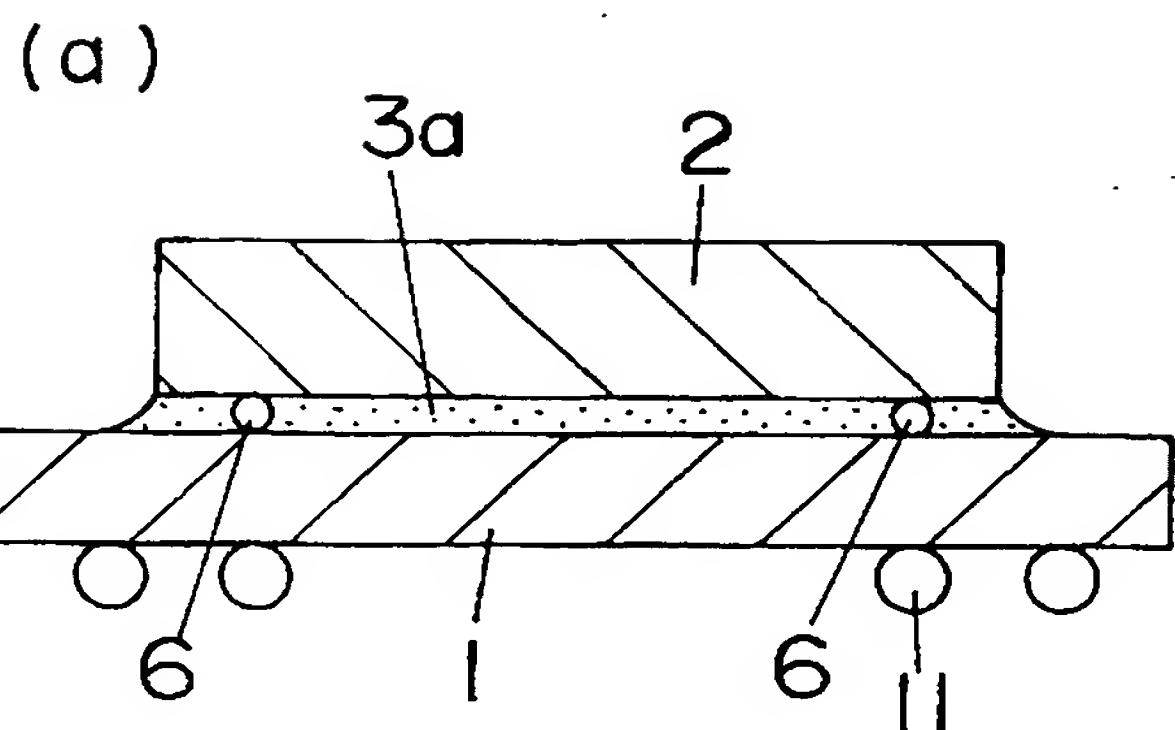
(a)



(b)



【図4】



【書類名】 要約書

【要約】

【課題】 薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、未充填なく封止した半導体装置を提供する。

【解決手段】 インターポーラー1上に半導体素子2をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子2のフリップチップ接合部に形成される間隙及び半導体素子2の背面側を同一材料で封止して形成される半導体装置に関する。半導体素子2の背面側に封止される封止材3の厚みを半導体素子2のフリップチップ接合部の間隙寸法の1/2~2倍の範囲に設定する。また封止材3として最大粒径が半導体素子2のフリップチップ接合部の間隙寸法の1/2以下のフィラーを配合したものを用いる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-117506
受付番号	50300670833
書類名	特許願
担当官	植田 晴穂 6992
作成日	平成 15 年 4 月 23 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005832
【住所又は居所】	大阪府門真市大字門真 1048 番地
【氏名又は名称】	松下電工株式会社

【特許出願人】

【識別番号】	390023582
【住所又は居所】	台灣新竹縣竹東鎮中興路四段 195 號
【氏名又は名称】	財團法人工業技術研究院

【代理人】

【識別番号】	100087767
【住所又は居所】	大阪市北区梅田 1 丁目 12 番 17 号 梅田第一生命ビル 5 階 北斗特許事務所
【氏名又は名称】	西川 惠清

【選任した代理人】

【識別番号】	100085604
【住所又は居所】	大阪市北区梅田 1 丁目 12 番 17 号 梅田第一生命ビル 5 階 北斗特許事務所
【氏名又は名称】	森 厚夫

次頁無

特願 2003-117506

出願人履歴情報

識別番号 [000005832]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1048番地

氏 名 松下電工株式会社

特願2003-117506

出願人履歴情報

識別番号 [591066063]

1. 変更年月日 1991年10月 7日
[変更理由] 識別番号の二重登録による抹消
[統合先識別番号] 390023582
住 所 台湾新竹縣竹東鎮中興路四段195號
氏 名 財團法人工業技術研究院

特願 2003-117506

出願人履歴情報

識別番号 [390023582]

1. 変更年月日 1991年10月 7日
[変更理由] 識別番号の二重登録による統合
[統合元識別番号] 591066063
住 所 台湾新竹縣竹東鎮中興路四段195號
氏 名 財團法人工業技術研究院